

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-222050**

(43)Date of publication of application : **11.08.2000**

(51)Int.Cl.

G05F 1/56

(21)Application number : **11-024726**

(71)Applicant : **SHARP CORP**

(22)Date of filing : **02.02.1999**

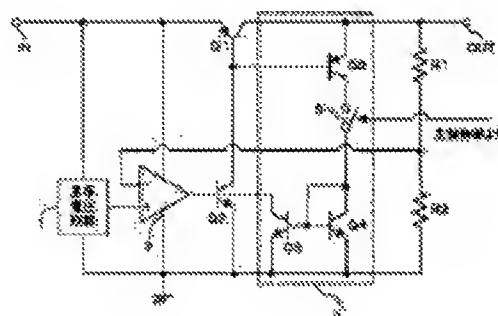
(72)Inventor : **HANABUSA KOICHI**

(54) **DIRECT CURRENT STABILIZATION POWER CIRCUIT**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a direct current stabilization power circuit which releases an output saturation prevention circuit and reduces the voltage difference between input and output terminals when an output voltage is stable.

SOLUTION: A switch 5 is connected between the collector of a PNP type transistor Q3 and the collector of an NPN type transistor Q4 in an output saturation prevention circuit 3' of the direct current stabilization power circuit, and when voltage applied to an output terminal OUT becomes stable, the base current of a PNP type transistor Q1 is made larger and the voltage between the emitter and the collector is also made lower by making the switch 5 open and disconnecting the circuit 3' from the direct current stabilization power circuit, thus reducing the voltage difference between the input terminal and the output terminal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-222050

(P2000-222050A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.⁷

G 0 5 F 1/56

識別記号

3 1 0

F I

G 0 5 F 1/56

テーム* (参考)

3 1 0 N 5 H 4 3 0

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平11-24726

(22) 出願日

平成11年2月2日 (1999.2.2)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 花房 孝一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

Fターム (参考) 5H430 BB01 BB09 BB11 EE03 EE12

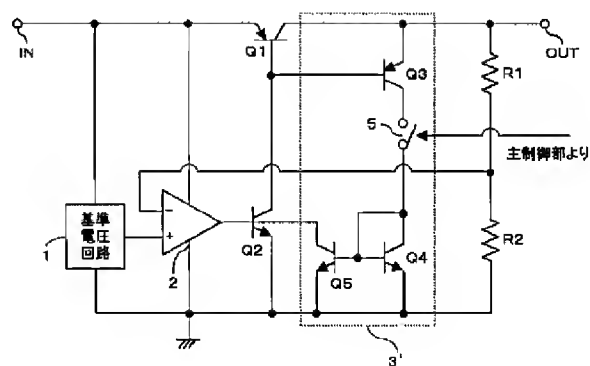
FF04 FF13 GG08 HH03

(54) 【発明の名称】 直流安定化電源回路

(57) 【要約】

【課題】 本発明は、出力電圧が安定状態であるときは、出力飽和防止回路が解除して、入出力端子間電圧差が小さくなるような直流安定化電源回路を提供することを目的とする。

【解決手段】 直流安定化電源回路の出力飽和防止回路 3' 内に、スイッチ 5 を PNP 型トランジスタ Q 3 のコレクタと NPN 型トランジスタ Q 4 のコレクタの間に接続して、出力端子 OUT にかかる電圧が安定状態になったとき、スイッチ 5 を開放状態にして、出力飽和防止回路 3' を直流安定化電源回路から切断した状態にすることによって、PNP 型トランジスタ Q 1 のベース電流を大きくするとともに、エミッタ・コレクタ間電圧を低くして、入出力端子間電圧差を小さくする。



【特許請求の範囲】

【請求項1】 直流電圧が入力される入力端子と、直流電圧を出力する出力端子と、前記入力端子に入力電極が接続されるとともに前記出力端子に出力電極が接続されたトランジスタと、前記出力端子にかかる電圧を分圧した電圧を前記トランジスタの制御電極に負帰還して前記トランジスタを流れる電流量を調整するトランジスタ制御回路と、前記トランジスタを流れる電流が所定値以上になったとき前記トランジスタを流れる電流量を抑制する出力飽和防止回路とを有し、入力された直流電圧を安定化して出力する直流安定化電源回路において、前記出力飽和防止回路をON/OFFするスイッチ手段を、該出力飽和防止回路内に設け、前記出力端子から出力される電圧が安定状態まで立ち上がるときに、前記出力飽和防止回路をONの状態にするとともに、前記出力端子から出力される電圧が安定状態となったときに、前記出力飽和防止回路をOFFの状態にすることを特徴とする直流安定化電源回路。

【請求項2】 前記入力端子にかかる電圧が低下したとき、前記出力飽和防止回路をOFFにするために前記スイッチ手段を制御する入力電圧監視回路を有することを特徴とする請求項1に記載の直流安定化電源回路。

【請求項3】 直流電圧が入力される入力端子と、直流電圧を出力する出力端子と、前記入力端子にエミッタが接続されるとともに、前記出力端子にコレクタが接続される第1PNP型トランジスタと、前記出力端子にかかる電圧を分圧する抵抗から成る分圧回路と、該分圧回路から与えられる電圧を所定の基準電圧と比較し増幅した電圧を出力する差動増幅回路と、前記第1PNP型トランジスタのベースにコレクタが接続されるとともに、前記差動増幅回路の出力側にベースが接続され、更にそのエミッタがグランド側に接続された第1NPN型トランジスタと、前記出力端子にエミッタが接続されるとともに前記第1PNP型トランジスタのベースにベースが接続された第2PNP型トランジスタと、前記差動増幅回路の出力側にコレクタが接続されるとともに、エミッタがグランド側に接続された第2NPN型トランジスタと、該第2NPN型トランジスタとカレントミラー回路を構成するとともに、エミッタがグランド側に接続され、そのカレントミラー回路の入力側トランジスタとして動作する第3NPN型トランジスタと、前記第2PNP型トランジスタのコレクタと、前記第3NPN型トランジスタのコレクタとの間に接続されるスイッチ手段とを有し、該スイッチ手段が、前記第2PNP型トランジスタと前

記第2NPN型トランジスタと前記第3NPN型トランジスタとから構成される出力飽和防止回路のON/OFF動作を行い、

前記出力端子から出力される電圧が安定状態まで立ち上がるときに、前記出力飽和防止回路をONの状態にするとともに、

前記出力端子から出力される電圧が安定状態となったときに、前記出力飽和防止回路をOFFの状態にする特徴とする直流安定化電源回路。

【請求項4】 前記入力端子にかかる電圧が低下したとき、前記出力飽和防止回路をOFFにするために前記スイッチ手段を制御する入力電圧監視回路を有することを特徴とする請求項3に記載の直流安定化電源回路。

【請求項5】 前記第2NPN型トランジスタのエミッタ電流を調整するエミッタ電流調整回路が、該第2NPN型トランジスタのエミッタとグランド間に設けられることを特徴とする請求項3又は請求項4に記載の直流安定化電源回路。

【請求項6】 前記エミッタ電流調整回路が、複数の抵抗と複数のスイッチによって構成され、この複数のスイッチを切り換えて、前記第2NPN型トランジスタのエミッタにかかる電圧を変更することによって、該第2NPN型トランジスタのベース・エミッタ電圧を変更してそのエミッタ電流を調整することを特徴とする請求項5に記載の直流安定化電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直流電圧を安定化する直流安定化電源回路に関するもので、特に、低電圧動作時の入出力間電圧差を改善した直流安定化電源回路に関する。

【0002】

【従来の技術】図6に、従来使用されている直流安定化電源回路の回路図を示す。従来使用されている直流安定化電源回路は、直流電圧が入力される入力端子INと、直流電圧が出力される出力端子OUTと、入力端子INにエミッタが接続されるとともに出力端子OUTにコレクタが接続されたPNP型トランジスタQ1と、出力端子OUTとグランドとの間に直列に接続される抵抗R1、R2と、入力端子INとグランドとの間に接続され基準電圧Vfを出力する基準電圧回路1と、抵抗R1、R2の接続ノードに負の入力端子が接続されるとともに正の入力端子に基準電圧Vfが入力されるアンプ2と、トランジスタQ1のベースにコレクタが接続されるとともにアンプ2の出力端子にベースが接続されたNPN型トランジスタQ2とを有する。又、トランジスタQ2のエミッタが接地され、アンプ2は入力端子INとグランド間に接続されてバイアス電圧がかけられる。

【0003】このような構成の直流安定化電源回路は、入力端子INに設定出力電圧より低い電圧が入力される

と、このとき、抵抗 R_1 、 R_2 の接続ノードに現れる電圧が基準電圧 V_f より低いので、アンプ2によりトランジスタ Q_2 が導通状態となる。このトランジスタ Q_2 が導通すると、トランジスタ Q_1 のベース電流が流れるようになるので、トランジスタ Q_1 が導通状態となり、出力端子OUTに出力電圧が現れる。

【0004】このように出力電圧が出力され、出力電圧が安定状態になると、抵抗 R_1 、 R_2 の接続ノードに現れる電圧に負帰還をかけるとともに基準電圧 V_f とアンプ2で比較してトランジスタ Q_2 のベース電流を調整することによって、トランジスタ Q_1 のエミッタ電流を調整する。

【0005】更に、このような直流安定化電源回路に、トランジスタ Q_1 のベースにベースが接続されるとともに出力端子OUTにエミッタが接続されたPNP型トランジスタ Q_3 と、このトランジスタ Q_3 のコレクタにコレクタが接続されるとともにエミッタが接地されたNPN型トランジスタ Q_4 と、トランジスタ Q_4 とカレントミラー回路を構成するNPN型トランジスタ Q_5 によって、トランジスタ Q_1 の入出力間電圧を制限するための出力飽和防止回路3が構成される。

【0006】この出力飽和防止回路3を備えた直流安定化電源回路は、入力端子INにかける入力電圧を立ち上げたときに、出力端子OUTに現れる出力電圧が安定状態に達していないので、トランジスタ Q_1 に過剰のコレクタ電流を流そうとする。このようなトランジスタ Q_1 の飽和状態を防ぐために、出力電圧が所定の電圧値となったとき、トランジスタ Q_3 が導通し、このトランジスタ Q_3 に応じてトランジスタ Q_4 、 Q_5 を導通させる。このように、トランジスタ Q_3 、 Q_4 、 Q_5 を導通させることによって、アンプ2から流れるトランジスタ Q_2 へのベース電流を制限し、これにより、トランジスタ Q_1 に流れるコレクタ電流を制限する。

【0007】又、上記のような直流安定化電源回路以外に、その出力端子に流れる電流量を制限する電流制限回路を備えた直流安定化電源回路が、特開平5-40534号公報に提供されている。この特開平5-40534号公報で提供される直流安定化電源回路の内部構成を示すブロック図を図7に示す。

【0008】特開平5-40534号公報における直流安定化電源回路は、入力端子にエミッタが接続されるとともにコレクタが出力端子と接続されたPNP型トランジスタ Q_{11} と、トランジスタ Q_{11} のベース電流の量を調整することによってトランジスタ Q_{11} のコレクタ電流を制御する駆動回路100と、トランジスタ Q_{11} のコレクタからの分電流を検知して出力電流が検知した値より大きくならないように駆動回路100を制御する電流制限回路101とを有する直流安定化電源回路に、トランジスタ Q_{11} のベースにベースが接続されるとともにトランジスタ Q_{11} のコレクタにエミッタが接続さ

れたPNP型トランジスタ Q_{12} を設ける。更に、このトランジスタ Q_{12} は、コレクタが電流制限回路101に接続される。

【0009】このようなトランジスタ Q_{12} を設けることによって、入力端子に入力される電圧が出力端子からの出力電圧が安定する電圧より低いとき、トランジスタ Q_{11} に流れる電流が少ないので、トランジスタ Q_{11} のコレクタからの分電流を検知する電流制限回路101によって、駆動回路100がトランジスタ Q_{11} のベース電流を増加させるための動作するように制御される。このため、トランジスタ Q_{11} のコレクタ電流が一気に増加し飽和電流が流れる。このときトランジスタ Q_{12} のエミッタ電圧がベース電圧より大きくなり、トランジスタ Q_{12} が導通する。このように、トランジスタ Q_{12} が導通すると、そのコレクタ電流が電流制限回路101に流れ込み、駆動回路100がトランジスタ Q_{11} のベース電流を減少させるための動作するように電流制限回路101によって制御される。

【0010】

【発明が解決しようとする課題】しかしながら、図6及び図7に示す直流安定化電源回路のように、トランジスタ Q_1 、 Q_{11} に流れる飽和電流を制限する出力飽和防止回路を設けたとき、入力端子と出力端子間に接続されるトランジスタ Q_1 、 Q_{11} のエミッタ・コレクタ間電圧が、前記出力飽和防止回路を設けていないときに比べて大きくなる。これは、トランジスタの特性によるもので、トランジスタのコレクタ電流が同じ大きさであるとき、そのベース電流を小さくすると、エミッタ・コレクタ間電圧が大きくなる。そのため、出力飽和防止回路によってトランジスタ Q_1 、 Q_{11} のベース電流が小さくなるので、そのエミッタ・コレクタ間電圧が大きくなる。

【0011】よって、直流安定化電源回路において、その入力端子にかかる電圧と出力端子にかかる電圧との差が、前記出力飽和防止回路を設けたときの方が大きくなる。このことは、出力電流値と入出力端子間電圧差を示した図3のグラフからも明らかである。このような入出力端子間電圧差は、入力端子に電圧を供給する電源がバッテリーなどの2次電池であり、この2次電池がかなり使用されてその供給する電圧値が低くなったときに問題が生じる。即ち、飽和防止回路を設けてその入出力端子間電圧差が大きくなると、入力端子にかかる入力電圧が低いため、十分な出力電圧を出力することができなくなる。

【0012】又、出力端子にかかる出力電圧が安定状態になったときには、前記出力飽和防止回路はその必要性がなくなるので、この出力飽和防止回路を用いたために生じる入出力端子間電圧差による消費電力が無効電力となり、携帯型電話機などの消費電力を抑制する必要がある電気電子機器には、重要な問題となる。

【0013】このような問題を鑑みて、本発明は、出力電圧が安定状態であるときは、出力飽和防止回路が解除された状態となるような直流安定化電源回路を提供することを目的とする。又、入力電圧が低いときにおいても、出力飽和防止回路が解除された状態となるような直流安定化電源回路を提供することを目的とする。

【0014】

【課題を解決するための手段】請求項1に記載の直流安定化電源回路は、直流電圧が入力される入力端子と、直流電圧を出力する出力端子と、前記入力端子に入力電極が接続されるとともに前記出力端子に出力電極が接続されたトランジスタと、前記出力端子にかかる電圧を分圧した電圧を前記トランジスタの制御電極に負帰還して前記トランジスタを流れる電流量を調整するトランジスタ制御回路と、前記トランジスタを流れる電流が所定値以上になったとき前記トランジスタを流れる電流量を抑制する出力飽和防止回路と有し、入力された直流電圧を安定化して出力する直流安定化電源回路において、前記出力飽和防止回路をON/OFFするスイッチ手段を、該出力飽和防止回路内に設け、前記出力端子から出力される電圧が安定状態まで立ち上がるときに、前記出力飽和防止回路をONの状態にするとともに、前記出力端子から出力される電圧が安定状態となったときに、前記出力飽和防止回路をOFFの状態にすることを特徴とする。

【0015】請求項2に記載の直流安定化電源回路は、請求項1に記載の直流安定化電源回路において、前記入力端子にかかる電圧が低下したとき、前記出力飽和防止回路をOFFにするために前記スイッチ手段を制御する入力電圧監視回路を有することを特徴とする。

【0016】請求項3に記載の直流安定化電源回路は、直流電圧が入力される入力端子と、直流電圧を出力する出力端子と、前記入力端子にエミッタが接続されるとともに、前記出力端子にコレクタが接続される第1PNP型トランジスタと、前記出力端子にかかる電圧を分圧する抵抗から成る分圧回路と、該分圧回路から与えられる電圧を所定の基準電圧と比較し増幅した電圧を出力する差動増幅回路と、前記第1PNP型トランジスタのベースにコレクタが接続されるとともに、前記差動増幅回路の出力側にベースが接続され、更にそのエミッタがグランド側に接続された第1NPN型トランジスタと、前記出力端子にエミッタが接続されるとともに前記第1PNP型トランジスタのベースにベースが接続された第2PNP型トランジスタと、前記差動増幅回路の出力側にコレクタが接続されるとともに、エミッタがグランド側に接続された第2NPN型トランジスタと、該第2NPN型トランジスタとカレントミラー回路を構成するとともに、エミッタがグランド側に接続され、そのカレントミラー回路の入力側トランジスタとして動作する第3NPN型トランジスタと、前記第2PNP型トランジスタのコレクタと、前記第3NPN型トランジスタのコレクタ

との間に接続されるスイッチ手段とを有し、該スイッチ手段が、前記第2PNP型トランジスタと前記第2NPN型トランジスタと前記第3NPN型トランジスタとから構成される出力飽和防止回路のON/OFF動作を行い、前記出力端子から出力される電圧が安定状態まで立ち上がるときに、前記出力飽和防止回路をONの状態にするとともに、前記出力端子から出力される電圧が安定状態となったときに、前記出力飽和防止回路をOFFの状態にする特徴とする。

【0017】請求項4に記載の直流安定化電源回路は、請求項3に記載の直流安定化電源回路において、前記入力端子にかかる電圧が低下したとき、前記出力飽和防止回路をOFFにするために前記スイッチ手段を制御する入力電圧監視回路を有することを特徴とする。

【0018】請求項5に記載の直流安定化電源回路は、請求項3又は請求項4に記載の直流安定化電源回路において、前記第2NPN型トランジスタのエミッタ電流を調整するエミッタ電流調整回路が、該第2NPN型トランジスタのエミッタとグランド間に設けられることを特徴とする。

【0019】請求項6に記載の直流安定化電源回路は、請求項5に記載の直流安定化電源回路において、前記エミッタ電流調整回路が、複数の抵抗と複数のスイッチによって構成され、この複数のスイッチを切り換えて、前記第2NPN型トランジスタのエミッタにかかる電圧を変更することによって、該第2NPN型トランジスタのベース・エミッタ電圧を変更してそのエミッタ電流を調整することを特徴とする。

【0020】

【発明の実施の形態】本発明の第1の実施形態について、図面を参照して説明する。図1は、本実施形態で使用する直流安定化電源回路の回路図である。尚、本実施形態で使用する直流安定化電源回路において、従来使用されている直流安定化電源回路内のものと同様の目的で使用される回路部は、図6に示した記号と同じ記号を付し、その詳細な説明は省略する。

【0021】本実施形態で使用する直流安定化電源回路は、トランジスタQ3のコレクタとトランジスタQ4のコレクタとの間にスイッチ5が設けられる。又、出力飽和防止回路3'は、トランジスタQ3、Q4、Q5とスイッチ5によって構成される。

【0022】このような構成の直流安定化電源回路によると、入力端子INに入力される入力電圧が立ち上がる時、スイッチ5の接点が接続されて出力飽和防止回路3'が接続された状態となる。このとき、従来の直流安定化電源回路と同様に、出力飽和防止回路3'が出力トランジスタQ1の飽和電圧を下げるように、アンプ2より流れるトランジスタQ2のベース電流の一部がトランジスタQ5のコレクタ電流として流れて、トランジスタQ1のコレクタ・エミッタ間電圧を調整する。このよう

にして、出力端子OUTに現れる出力電圧が安定状態（3Vとする。）になると、この直流安定化電源回路が設けられた電気電子機器全体を制御する主制御部によって、スイッチ5が開放状態になる。

【0023】このように、スイッチ5が開放状態になると、出力飽和防止回路3'が前記直流安定化電源回路から切断された状態となる。このとき、図3のグラフから明らかなように、出力飽和防止回路3'が接続されているときと比べて、その入出力端子間電圧差が小さくなるので、無効となる電圧が減少するとともに、無効電力の消費も減少する。

【0024】しかしながら、図4のグラフのように、入力電圧が3Vより低いときは、入力端子に流れる電流量が、出力飽和防止回路3'のないときの方が大きい。よって、入力端子に印加する入力電圧INを立ち上げはじめて、出力端子OUTにかかる出力電圧が3Vの安定状態に達するまでは、出力飽和防止回路3'を接続する必要があるので、スイッチ5の接点が接続される。

【0025】本発明の第2の実施形態について、図面を参照して説明する。図2は、本実施形態で使用する直流安定化電源回路の回路図である。尚、本実施形態で使用する直流安定化電源回路において、第1の実施形態で使用されている直流安定化電源回路内のものと同様の目的で使用される回路部は、図1に示した記号と同じ記号を付し、その詳細な説明は省略する。

【0026】本実施形態で使用される直流安定化電源回路は、第1の実施形態における直流安定化電源回路に、抵抗R3、R4及びスイッチ6、7を新たに設け、スイッチ6、7をトランジスタQ5のエミッタに並列に接続するとともに、このスイッチ6、7に他端が接地された抵抗R3、R4を、それぞれ接続する。

【0027】このような構成の直流安定化電源回路によると、スイッチ6、7を接続又は開放することによって、トランジスタQ5のエミッタにかかる電圧を変更することができる。又、トランジスタQ4、Q5は、カレントミラー回路を形成しているので、トランジスタQ5のベースにかかる電圧はトランジスタQ4によって定められ一定となる。よって、トランジスタQ5のベース・エミッタ間電圧を変更することができるので、トランジスタQ5を流れるエミッタ電流を調整することができる。

【0028】このように、トランジスタQ5を流れるエミッタ電流を調整することによって、アンプ2からトランジスタQ2のベースに流れる電流を調整することができる。このとき、図3、図4のように、入出力端子間電圧差の値及び入力電流値がスイッチ5によって出力飽和防止回路3'をONにしたときの値とOFFにしたときの値の間の値となる。よって、トランジスタQ5に接続する抵抗R3、R4を変えることで、出力端子OUTにかかる電圧が3Vで安定するまでに消費する無効電力が

小さくなるように調整することができる。

【0029】本発明の第3の実施形態について、図面を参照して説明する。図5は、本実施形態で使用する直流安定化電源回路の回路図である。尚、本実施形態で使用する直流安定化電源回路において、第1の実施形態で使用されている直流安定化電源回路内のものと同様の目的で使用される回路部は、図1に示した記号と同じ記号を付し、その詳細な説明は省略する。

【0030】本実施形態で使用される直流安定化電源回路は、第1の実施形態における直流安定化電源回路において、出力電圧が安定状態にあるとき、入力端子INにかかる入力電圧が低下したか否かを監視するとともに、その入力電圧が低下すると、スイッチ5をOFFにする入力電圧監視回路4が設けられる。

【0031】このような構成の直流安定化電源回路の入力端子に接続される電源が、例えば携帯型電話機などの電気電子機器に用いられる2次電池であり、長期にわたって使用したためにその出力電圧が低くなった電源であるとき、入力端子INにかかる入力電圧が低くなったことを、入力電圧監視回路4によって検知される。このように、入力電圧監視回路4で入力端子に印加される入力電圧が低くなったことを検知すると、スイッチ5を開放するように入力電圧監視回路4によって制御される。そのため、出力飽和防止回路3'が前記直流安定化電源回路から切断された状態となる。

【0032】よって、出力飽和防止回路3'が接続された状態において、その入出力端子間電圧差が大きいため出力端子OUTに十分な出力電圧が表れないような状態のときであっても、上記のように出力飽和防止回路3'を直流電源安定化回路から切断して入出力端子間電圧差を下げることによって、出力端子OUTに十分な出力電圧がかかるようにすることができる。

【0033】

【発明の効果】請求項1又は請求項3に記載の直流安定化電源回路は、出力端子にかかる電圧が安定状態になったとき、出力飽和防止回路内に設けられたスイッチを開放状態にして、出力飽和防止回路をOFFの状態にすることによって、入力端子と出力端子の間に接続されたトランジスタのベース電流を大きくするとともに、そのエミッタ・コレクタ間電圧を低くして、入出力端子間電圧差を小さくすることができるので、出力電圧が安定状態の時に出力飽和防止回路がONの状態のままで使用されるときより消費される電力を抑制することができる。

【0034】請求項2又は請求項4に記載の直流安定化電源回路は、入力電圧監視回路で入力端子に印加される入力電圧が低くなったことを検知し、スイッチ手段を制御することによって、出力飽和防止回路をOFFの状態とする。よって、接続される電源が2次電池であり、長期にわたって使用したためにその出力電圧が低くなった電源が入力端子に接続されて、入力端子にかかる電圧が

低下したとき、出力飽和防止回路を直流電源安定化回路から切斷して入出力端子間電圧差を下げることによって、出力端子に充分な出力電圧がかかるようにすることができる。

【0035】請求項5又は請求項6に記載の直流安定化電源回路は、第2 NPN型トランジスタのエミッタ電流を調整することによって、差動増幅回路から流れる第1 NPN型トランジスタのベース電流を調整することができるので、第1 PNP型トランジスタのコレクタ電流及びエミッタ・コレクタ間電圧を調整して、出力端子にかかる電圧が安定状態になるまで直流安定化電源回路で消費される無効電力を最小限に抑制することができる。

【図面の簡単な説明】

【図1】第1の実施形態で使用する直流安定化電源回路の内部構造を示す回路図。

【図2】第2の実施形態で使用する直流安定化電源回路の内部構造を示す回路図。

【図3】出力電流と入出力端子間電圧差との関係を示す

グラフ。

【図4】入力電圧と入力バイアス電流の関係を示すグラフ。

【図5】第3の実施形態で使用する直流安定化電源回路の内部構造を示す回路図。

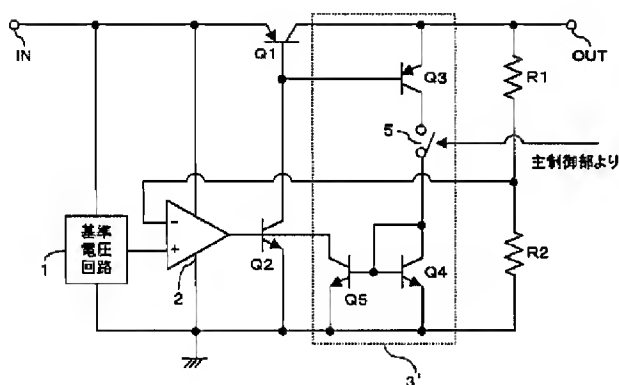
【図6】従来の直流安定化電源回路の内部構成を示す回路図。

【図7】従来の直流安定化電源回路の内部構成を示すブロック図。

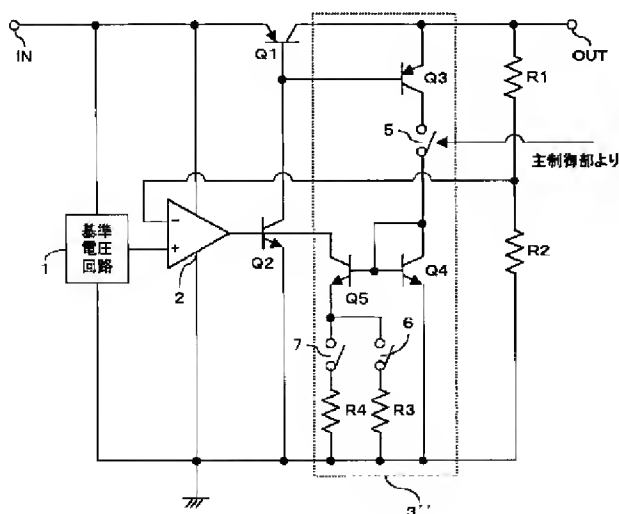
【符号の説明】

- 1 基準電圧回路
- 2 アンプ
- 3 出力飽和防止回路
- 4 入力電圧監視回路
- 5, 6, 7 スイッチ
- 100 駆動回路
- 101 電流制限回路

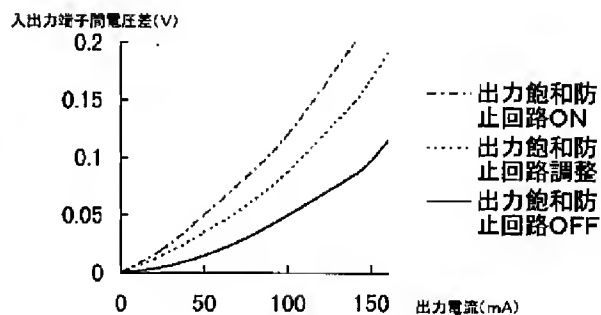
【図1】



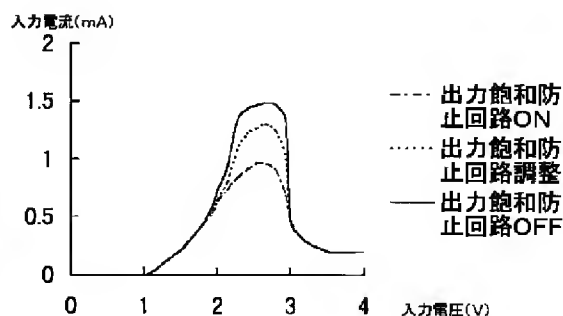
【図2】



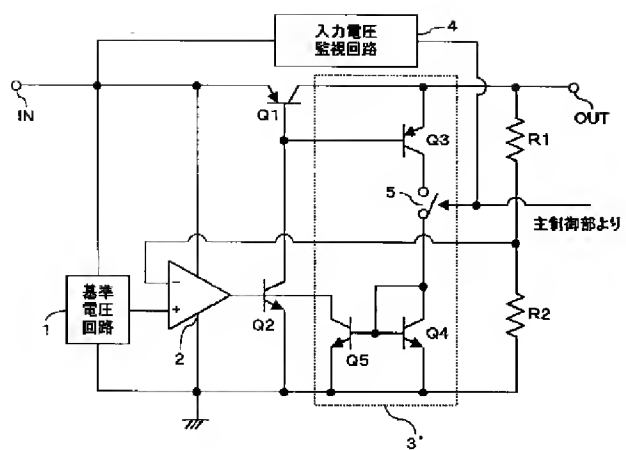
【図3】



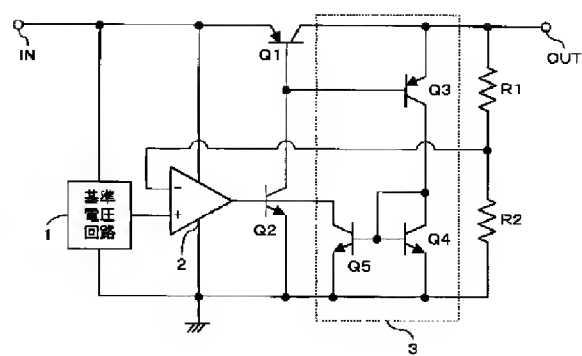
【図4】



【図 5】



【图 6】



【図 7】

